

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

17. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 6月13日

出 願 番 号  
Application Number: 特願2003-170105  
[ST. 10/C]: [JP2003-170105]

REC'D 06 AUG 2004

WIPO PCT

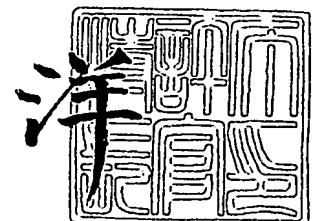
出 願 人  
Applicant(s): 株式会社豊田自動織機  
新潟精密株式会社  
大見 忠弘

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 7月22日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願

【整理番号】 2003TJ046

【提出日】 平成15年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 11/00

【発明者】

    【住所又は居所】 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内

    【氏名】 西牟田 武史

【発明者】

    【住所又は居所】 新潟県上越市西城町2丁目5番13号新潟精密株式会社内

    【氏名】 宮城 弘

【発明者】

    【住所又は居所】 宮城県仙台市青葉区米ヶ袋2-1-17-301

    【氏名】 大見 忠弘

【発明者】

    【住所又は居所】 宮城県仙台市青葉区川内元支倉35-2-102

    【氏名】 須川 成利

【発明者】

    【住所又は居所】 宮城県仙台市宮城野区平成1-1-22-K6

    【氏名】 寺本 章伸

【特許出願人】

    【識別番号】 000003218

    【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

    【識別番号】 591220850

    【氏名又は名称】 新潟精密株式会社

## 【特許出願人】

【識別番号】 000205041

【氏名又は名称】 大見 忠弘

## 【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

## 【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 リミッタ回路及びその半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路基板上に形成されたりミッタ回路であって、

第 1 の結晶面を主面とするシリコン基板上に第 2 の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約 550 度 C 以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成した M I S 電界トランジスタからなる差動増幅回路を有するリミッタ回路。

【請求項 2】 前記突出部の頂面の第 1 の結晶面と側壁面の第 2 の結晶面にチャネルが形成され、前記 M I S 電界効果トランジスタのチャネル幅が、少なくとも前記頂面上のチャネル幅と前記側壁面のチャネル幅の総和からなる請求項 1 記載のリミッタ回路。

【請求項 3】 前記突出部は、頂面がシリコンの (100) 面からなり、側壁面がシリコンの (110) からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項 1 または 2 記載のリミッタ回路。

【請求項 4】 前記リミッタ回路は、p チャネル M I S 電界効果トランジスタと n チャネル M I S 電界効果トランジスタとからなり、前記 p チャネル M I S 電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記 p チャネル M I S 電界効果トランジスタと n チャネル M I S 電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項 1, 2 または 3 記載のリミッタ回路。

【請求項 5】 前記リミッタ回路は、F M 変調された信号がゲートに入力する、差動増幅回路を構成する第 1 及び第 2 の M I S 電界効果トランジスタと、前記第 1 及び第 2 の M I S 電界効果トランジスタのソースまたはドレインに共通接続された定電流回路を構成する第 3 の M I S 電界効果トランジスタとからなる請求項 1, 2, 3 または 4 記載のリミッタ回路。

【請求項6】 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、

前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するリミッタ回路とが同一回路基板上に形成された半導体集積回路。

【請求項7】 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項6記載の半導体集積回路。

【請求項8】 前記リミッタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される請求項5または6記載の半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体集積回路基板上に形成されるリミッタ回路及びその半導体集積回路に関する。

##### 【0002】

#### 【従来の技術】

従来、MOSトランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSトランジスタを製造していた。

##### 【0003】

半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが

望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。

FM受信機においては、FM変調された信号の振幅を一定にするためにリミッタ回路が用いられている。

#### 【0004】

また、特許文献2には、シリコン基板上に立体構造のゲートを形成することが記載されている。

#### 【0005】

##### 【特許文献1】

特開2002-261091号公報

#### 【0006】

##### 【特許文献2】

特開2002-110963 (図1)

#### 【0007】

##### 【発明が解決しようとする課題】

リミッタ回路においても、増幅回路で発生するDCオフセットを低減することが求められていた。

また、増幅回路を複数段縦続接続してリミッタ回路を構成する場合、前段の増幅回路でDCオフセットが増幅されることにより後段の増幅回路が飽和してしまうという問題があった。そのため、従来は、増幅回路の間にコンデンサを挿入し、直流成分をカットするようにしていた。また、リミッタの利得を制限していた。

#### 【0008】

本発明の課題は、リミッタ回路の利得を大きくとれるようにすることである。また、他の課題は、リミッタ回路における信号の歪みを少なくすることである。

#### 【0009】

##### 【課題を解決するための手段】

本発明のリミッタ回路は、半導体集積回路基板上に形成されたりミッタ回路であって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端

水素を除去した後、プラズマ雰囲気中で約 550 度 C 以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成した M I S 電界トランジスタからなる。

#### 【0010】

不活性ガスは、例えば、アルゴン、クリプトン、キセノンなどからなる。

この発明によれば、シリコン表面の平坦度を高め、M I S 電界効果トランジスタの特性（例えば、しきい値電圧など）のバラツキを少なくできる。これにより、リミッタ回路内部で発生する D C オフセットと  $1/f$  ノイズを低減することができるので、リミッタ回路の利得を大きく設計することができる。また、直流成分をカットするためのコンデンサをリミッタ回路に設ける必要がなくなる。

#### 【0011】

さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、リミッタ回路における信号の歪みを少なくできる。

また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、M I S 電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面における M I S 電界効果トランジスタの素子面積を小さくできる。

#### 【0012】

上記の発明において、前記突出部の頂面の第 1 の結晶面と側壁面の第 2 の結晶面にチャネルが形成され、前記 M I S 電界効果トランジスタのチャネル幅が、少なくとも前記頂面のチャネル幅と前記側壁面のチャネル幅の総和からなる。

このように構成することにより、2 つの結晶面にチャネルが形成されるので M I S 電界効果トランジスタの特性と電流駆動能力を向上させることができる。

#### 【0013】

上記の発明において、前記突出部は、頂面がシリコンの (100) 面からなり、側壁面がシリコンの (110) からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の前記突出部の左右の領域に形成する。

このように構成することで、シリコン基板の (100) 面と (110) 面にチ

ャネルを形成することができるので、MIS電界効果トランジスタの電流駆動能力を向上させることができる。

#### 【0014】

上記の発明において、前記リミッタ回路は、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなり、前記pチャネルMIS電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定する。

#### 【0015】

このように構成することで、pチャネルMIS電界効果トランジスタと、nチャネルMIS電界効果トランジスタの寄生容量をほぼ等しくできる。これにより、増幅回路の特性を改善できる。また、スイッチング時のノイズを低減できる。

上記の発明において、前記リミッタ回路は、FM変調された信号がゲートに入力する、差動増幅回路を構成する第1及び第2のMIS電界効果トランジスタと、前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインに共通接続された定電流回路を構成する第3のMIS電界効果トランジスタとからなる。

#### 【0016】

このように構成することで、第1及び第2MIS電界効果トランジスタからなる差動増幅回路、第3のMIS電界効果トランジスタからなる定電流回路のDCオフセットと $1/f$ ノイズを減らすことができる。また、それらの回路におけるチャネル長変調効果の影響を低減できる。

#### 【0017】

本発明の半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタと



nチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するリミッタ回路とを同一半導体基板上に形成する。

#### 【0018】

この発明によれば、リミッタ回路のDCオフセットと $1/f$ ノイズを低減することができるので、リミッタ回路の利得を大きく設計することができる。また、直流成分をカットするためのコンデンサをリミッタ回路に設ける必要がなくなる。

#### 【0019】

さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャンネル長変調効果の影響を少なくし、他の回路やリミッタ回路における信号の歪みを少なくできる。

また、他の回路のpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの特性を揃えることができるので、他の回路のDCオフセットと $1/f$ ノイズを低減できる。

#### 【0020】

また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくすることができる。

上記の発明において、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタの電流駆動能力が前記nチャネルMIS電界効果トランジスタの電流駆動能力とほぼ等しくなるように設定する。

#### 【0021】

上記の発明において、前記リミッタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される。

このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの寄生容量をほぼ等しくできる。これにより、

例えば、スイッチング時のノイズを正負対称にしてノイズを減らすことができる。

#### 【0022】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜（例えば、酸化膜）を形成し、MIS (metal insulator semiconductor) 電界効果トランジスタを製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開 2002-261091 号公報に開示されている。

#### 【0023】

図 1 は、半導体製造プロセスで使用されるラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。

真空容器（処理室）11 内を真空にし、次にシャワープレート 12 からアルゴン (Ar) ガスを導入した後、Ar ガスを排出口 11A から排出し、クリプトン (Kr) ガスに切替える。処理室 11 内の圧力は 133 Pa (1 Torr) 程度に設定する。

#### 【0024】

次に、シリコン基板 14 を、加熱機構を持つ試料台 13 の上に置き、試料の温度を 400℃程度に設定する。シリコン基板 14 の温度が 200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

シリコン基板 14 は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

#### 【0025】

次に、同軸導波管 15 からラジアルラインスロットアンテナ 16 に周波数が 2.45 GHz のマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ 16 から処理室 11 の壁面の一部に設けられた誘電体板 17 を通して処理室 11 内に導入する。導入されたマイクロ波はシャワープレート 12 から処理室 11 内に導入された Kr ガスを励起し、その結果シャワープレート 12 の直下に高密度の Kr プラズマが形成される。供給するマイクロ波の周波数が 900 MHz

程度以上、約 10 GHz 程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

#### 【0026】

図1の構成においてシャワープレート12とシリコン基板14の間隔は約6 cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

#### 【0027】

シリコン基板13をKrガスで励起されたプラズマに曝すことにより、シリコン基板14の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート12から97/3の分圧比のKr/O<sub>2</sub>混合ガスを導入する。この際、処理室内の圧力は133 Pa (1 Torr) 程度に維持しておく。KrガスとO<sub>2</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*を効率よく大量に発生できる。

#### 【0028】

この実施の形態では、この原子状酸素O\*によりシリコン基板14の表面を酸化する。従来のシリコン表面の熱酸化法では、O<sub>2</sub>分子やH<sub>2</sub>O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr\*とO<sub>2</sub>の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO\*同志が衝突し、O<sub>2</sub>分子に戻ってしまうので、最適ガス圧力が存在する。

#### 【0029】

所望の膜厚のシリコン酸化膜（シリコン化合物層）が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをバージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

## 【0030】

上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3 nmの膜厚のシリコン酸化膜において面密度換算で $10^{12}/\text{cm}^2$ 程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で $10^{11}/\text{cm}^2$ 程度以下であった。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

## 【0031】

上記のようにKrプラズマ照射により終端水素除去を施してからKr/O<sub>2</sub>ガスを導入して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が2～3桁も減少し、非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い1.7 nm程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

## 【0032】

また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン/シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ の非常に低い界面準位密度が得られた。

## 【0033】

図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O<sub>2</sub>膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

図2に示すように、Kr/O<sub>2</sub>膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となっている。これに対して、従来の800°C以上の雰囲気で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となって

おり、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

#### 【0034】

界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより  $1/f$  ノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量 QBD (Charge-to-Breakdown) などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

#### 【0035】

上述したように、表面終端水素を除去してから Kr/O<sub>2</sub> 高密度プラズマによりシリコン酸化工程を行うことで、400°C という低温において、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス（例えば、Kr）が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、また Kr が含有されることにより、膜中や Si/SiO<sub>2</sub> 界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

#### 【0036】

上述した半導体製造プロセスでは、表面密度換算において水素濃度を  $10^{12}/\text{cm}^2$  以下、望ましくは  $10^{11}/\text{cm}^2$  程度以下にすることと、 $5 \times 10^{11}/\text{cm}^2$  以下程度の Kr を含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

#### 【0037】

なお、上記の半導体プロセスにおいて、不活性ガスと NH<sub>3</sub> ガスとの混合ガス、不活性ガスと O<sub>2</sub> と NH<sub>3</sub> との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。

窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドが $\text{Si-H}$ 、 $\text{N-H}$ 結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

#### 【0038】

また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸窒化膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜の $\text{K}_r$ の含有量は酸化膜に比較すると $1/10$ 以下であり、 $\text{K}_r$ の代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また酸素が含有されることにより、膜中や $\text{Si/SiO}_2$ また界面でのストレスが緩和され、その結果膜中電荷や界面準位密度が減少し、酸窒化膜の電気的特性が大幅に改善されたものと考えられる。

#### 【0039】

プラズマ雰囲気中において酸化膜、あるいは酸窒化膜を形成することにより得られた好ましい結果は、終端水素が除去されたことによることだけが原因ではなく、窒化膜、酸窒化膜中に $\text{Ar}$ または $\text{Kr}$ が含有されることにも関係すると考えられる。すなわち、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン／窒化膜界面でのストレスが、窒化膜中に含有される $\text{Ar}$ あるいは $\text{Kr}$ により緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には $1/f$ ノイズの低減、信頼性が大幅に改善されたものと考えられる。

#### 【0040】

上記の半導体製造プロセスにおいて使用する不活性ガスは、 $\text{Ar}$ ガス、 $\text{Kr}$ ガスに限らず、キセノン $\text{Xe}$ ガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を $133\text{ Pa}$  ( $1\text{ Torr}$ ) 程度に保ったままシャワープレート12から分圧比 $98/2$ の $\text{Kr}/\text{NH}_3$ 混合ガスを導入し、シリコン酸化膜、シリコン酸窒化

膜の表面に約 0.7 nm のシリコン窒化膜を形成しても良い。

#### 【0041】

これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。例えば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O<sub>2</sub>、NH<sub>3</sub>、またはN<sub>2</sub>/H<sub>2</sub>ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

#### 【0042】

次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。

シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。

#### 【0043】

図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSトランジスタ20と、pチャネルMOSトランジスタ21の構造を示す図である。なお、図4には、ゲート酸化膜の下部に形成されるチャネルを斜線で示してある。

#### 【0044】

図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして高さがH<sub>A</sub>で幅がW<sub>1A</sub>の直方体形状の突出部23が形

成され、領域Bには、同様に高さが $H_B$ で幅が $W_{1B}$ の突出部24が形成されている。

#### 【0045】

図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した半導体製造プロセスによりシリコン酸化膜が形成されている。

そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形成され、ゲート電極25及び26を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極25及び26の下部にゲート絶縁膜27及び28が選択的に形成される。

#### 【0046】

さらに、p型領域Aのゲート電極25の両側の領域にn型不純物イオンを注入して、突出部23を含むn型拡散領域29及び30を形成している。このn型拡散領域29及び30は、nチャネルMOSトランジスタ20のソースとドレインを構成する。n型領域Bにおいても、同様にゲート電極26の両側の領域にp型不純物イオンを注入して、突出部24を含むp型拡散領域31及び32を形成している。このp型拡散領域31及び32は、p型MOSトランジスタ21のソースとドレインを構成する。

#### 【0047】

pチャネルMOSトランジスタ21及びnチャネルMOSトランジスタ20のゲート電極26及び25に所定の電圧が印加されると、ゲート酸化膜28及び27の下部に図4に斜線で示すチャンネルが形成される。

nチャネルMOSトランジスタ20の(100)面のゲート幅は、突出部23の頂面(突出部23の上面)で $W_{1A}$ 、突出部23の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、nチャネルMOSトランジスタ20の(110)面のゲート幅、すなわち突出部23の左右の側壁面のゲート幅は、それぞれ $H_A$ であるので合計で $2H_A$ となる。このゲート幅がチャンネル幅に相当する。nチャネルMOSトランジスタ20のゲート長は $L_{gA}$ である。



## 【0048】

従って、nチャネルMOSトランジスタ20の電流駆動能力は、 $\mu_{n1}(W_1A + W_2A) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 $\mu_{n1}$ は(100)面における電子移動度、 $\mu_{n2}$ は(110)面における電子移動度である。

同様に、pチャネルMOSトランジスタ21の(100)面のゲート幅は突出部24の頂面で $W_{1B}$ 、突出部24の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2B}/2$ であるので、合計で $W_{1B} + W_{2B}$ となる。また、pチャネルMOSトランジスタ21の(110)面のゲート幅、すなわち、突出部24の左右の側壁面におけるゲート幅は、それぞれ $H_B$ であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャンネル幅に相当する。pチャネルMOSトランジスタ21のゲート長は $L_{gB}$ である。

## 【0049】

従って、pチャネルMOSトランジスタ21の電流駆動能力は、 $\mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$ で表すことができる。 $\mu_{p1}$ は、(100)面におけるホール移動度、 $\mu_{p2}$ は、(110)面におけるホール移動度を表す。

以上のことから、突出部23及び24の高さ $H_A$ を及び $H_B$ を適宜な値に設定することで、pチャネルMOSトランジスタ21の電流駆動能力と、nチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。

## 【0050】

$$\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A = \mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$$

上記の式を満足するような値に $H_A$ を及び $H_B$ を設定することにより、pチャネルMOSトランジスタ21の電流駆動能力とnチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャネルMOSトランジスタ21の主面(例えば、(100)面)におけるチャンネル幅を、nチャネルMOSトランジスタ20の(100)におけるチャンネル幅に比べて大幅に広くする必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ

タ 20 とにより CMOS 構造の回路を構成した場合に、両者のゲート酸化膜による寄生容量を充放電するときの電流値のアンバランスを減らし、CMOS 構造のトランジスタのスイッチング時に発生するノイズレベルを小さくできる。

#### 【0051】

なお、nチャネルMOSトランジスタ 20 のゲートの高さ  $H_A$  を「0」にし、その nチャネルMOSトランジスタ 20 と電流駆動能力がほぼ等しくなるように pチャネルMOSトランジスタ 21 のゲートの高さ  $H_B$  を設定しても良い。

また、pチャネルMOSトランジスタ 21 または nチャネルMOSトランジスタ 20 を単独で形成する場合でも、pチャネルまたは nチャネルMOSトランジスタのシリコン基板の主面（例えば、(100) 面）におけるゲート絶縁膜の面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSトランジスタ及び nチャネルMOSトランジスタのシリコン基板の主面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネルまたは nチャネルMOSトランジスタの寄生容量を小さくできるので、動作速度が速くなり、スイッチング時の消費電力も少なくできる。

#### 【0052】

さらに、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した半導体製造プロセスによりリミッタ回路を半導体回路基板上に形成する場合について説明する。

#### 【0053】

図 5 は、リミッタ回路の一例を示す図である。nチャネルMOSトランジスタ 61 のゲートには、電源電圧  $V_{DC}$  を抵抗  $R_1$  と、抵抗  $R_2$ 、ダイオード  $D_1$  及び抵抗  $R_3$  とで分圧した電圧（図 5 の A 点の電圧）が抵抗  $R_4$  を介して与えられている。

#### 【0054】

nチャネルMOSトランジスタ 62 のゲートにも、同様に電源電圧  $V_{DC}$  を抵抗  $R_1$  と、抵抗  $R_2$ 、ダイオード  $D_1$  及び抵抗  $R_3$  とで分圧した電圧が抵抗  $R_5$  を

介して与えられている。また、MOSトランジスタ62のゲートにはコンデンサC1の一端が接続され、コンデンサC1の他端は接地されている。

#### 【0055】

MOSトランジスタ61のゲートには入力電圧 $V_{in}$ が入力し、その入力電圧 $V_{in}$ は直列に接続された抵抗R4とR5を介してMOSトランジスタ62のゲートに入力している。これらのMOSトランジスタ61と62は差動増幅回路を構成している。

#### 【0056】

MOSトランジスタ61のドレインには、pチャネルMOSトランジスタ64のドレイン及びゲートが接続され、MOSトランジスタ64のソースは電源VDCに接続されている。

MOSトランジスタ62のドレインには、pチャネルMOSトランジスタ65のドレインが接続され、MOSトランジスタ65のゲートはMOSトランジスタ64のゲートに接続されている。そして、MOSトランジスタ65のソースは電源電圧VDCに接続されている。このMOSトランジスタ64と65は、MOSトランジスタ61と62の負荷となる定電流回路を構成している。

#### 【0057】

nチャネルMOSトランジスタ63のゲートには、電源電圧VDCを抵抗R1及びR2とダイオードD1及び抵抗R3とで分圧した電圧（図5のB点の電圧）が与えられている。MOSトランジスタ63のソースは接地されている。このMOSトランジスタ63は定電流源として機能する。

#### 【0058】

上記の回路の動作を説明すると、MOSトランジスタ61のゲートには入力電圧 $V_{in}$ が入力し、MOSトランジスタ62のゲートには、入力電圧 $V_{in}$ に対して抵抗R4とR5とコンデンサC1とにより決まる位相差を持った電圧が入力される。MOSトランジスタ62のドレイン電圧は、MOSトランジスタ62のゲートに入力する入力電圧 $V_{in}$ の振幅が正の一定値以上のとき、ドレイン電圧の正の振幅が一定値に制限され、ゲートに入力する入力電圧 $V_{in}$ の振幅が負の一定以下のとき、ドレイン電圧の振幅が負の一定値に制限される。これにより、入力電圧

V<sub>in</sub>の振幅を制限した電圧が、MOSトランジスタ62のドレインから出力される。

#### 【0059】

上記のリミッタ回路のMOSトランジスタのゲートを立体構造にし、かつ低温プラズマ雰囲気中でゲート酸化膜を形成することで、MOSトランジスタ61と62とからなる差動増幅回路のチャネル長変調効果の影響を少なくできるので、リミッタ回路における信号の歪みを減らすことができる。また、上記の差動増幅回路の負荷として機能するドレイン側のカレントミラー回路（MOSトランジスタ64と65からなる回路）と、ソース側の定電流回路（MOSトランジスタ64からなる回路）のチャネル長変調効果の影響も少なくできるので、ドレイン電圧の変化に対するドレイン電流の変動を少なくできる。

#### 【0060】

リミッタ回路は、通常、増幅回路が複数段縦続接続されて構成されている。それぞれの増幅回路は、差動増幅回路と、負荷として機能する定電流回路と、差動増幅回路の接地側に共通接続される定電流回路などからなる。

上記のリミッタ回路によれば、シリコン表面のダメージを減らし表面を平坦化することで、MOSトランジスタの特性（例えば、しきい値電圧など）のばらつきを少なくできる。これにより、リミッタ回路内部で発生するDCオフセットと1/fノイズを低減することができ、リミッタ回路の利得を大きく設計することができる。

#### 【0061】

さらに、ゲートを立体構造に、低温のプラズマ雰囲気中でゲート酸化膜を形成することで、MOSトランジスタで構成した増幅回路、定電流回路のチャネル長変調効果の影響を少なくでき、リミッタ回路における信号の歪みを減らすことができる。

#### 【0062】

また、リミッタ回路のMOSトランジスタの電流駆動能力を向上できると共に、シリコン基板の主面におけるトランジスタの素子面積を小さくできる。

リミッタ回路は、例えば、nチャネルMOSとpチャネルMOSトランジスタ

からなるCMOS回路で構成することも可能である。その場合、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量をほぼ同じ値にできるので、トランジスタのオン、オフ時の電流の不平衡によるノイズを低減できる。

#### 【0063】

また、リミッタ回路以外の回路、例えば、DCアンプ、A/D変換回路、デジタル回路等のpチャネルMOSトランジスタとnチャネルMOSトランジスタを上記した半導体プロセスにより製造しても良い。

このように構成することで、他の回路のpチャネルMOSトランジスタとnチャネルMOSトランジスタの特性を揃えることができるので、回路全体のDCオフセットや $1/f$ ノイズを低減できる。また、それらの回路におけるチャネル長変調効果の影響を少なくでき、信号の歪みを低減できる。

#### 【0064】

さらに、リミッタ回路、あるいは他の回路のpチャネルMOSとnチャネルMOSトランジスタのチャネルを、シリコンの異なる結晶面（例えば、(100)面と(110)）に形成するようにし、それらのチャネル幅をpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

#### 【0065】

このように構成することで、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量等をほぼ同じにできるので、スイッチング特性を向上できると共に、MOSトランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

#### 【0066】

本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

リミッタ回路は、実施の形態に示した回路に限らず、公知の他の回路を使用しても良い。

シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

## 【0067】

## 【発明の効果】

本発明によれば、リミッタ回路の内部で発生するDCオフセットと $1/f$ ノイズを低減することができるので、直流成分をカットするためのコンデンサ等が不要となる。さらに、チャネル長変調効果の影響を少なくし、リミッタ回路における信号の歪みを少なくできる。また、リミッタ回路に接続される他の回路のDCオフセットと $1/f$ ノイズを減らすことができる。

## 【図面の簡単な説明】

## 【図1】

ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。

## 【図2】

界面準位密度の比較図である。

## 【図3】

実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。

## 【図4】

実施の形態の半導体製造プロセスにより製造したMOSトランジスタの構造を示す図である。

## 【図5】

リミッタ回路を示す図である。

## 【符号の説明】

- 11 真空容器
- 12 シャワープレート
- 14 シリコン基板
- 15 同軸導波管
- 16 ラジアルスロットライン
- 17 誘電体板
- 22 シリコン基板
- 20 nチャネルMOSトランジスタ

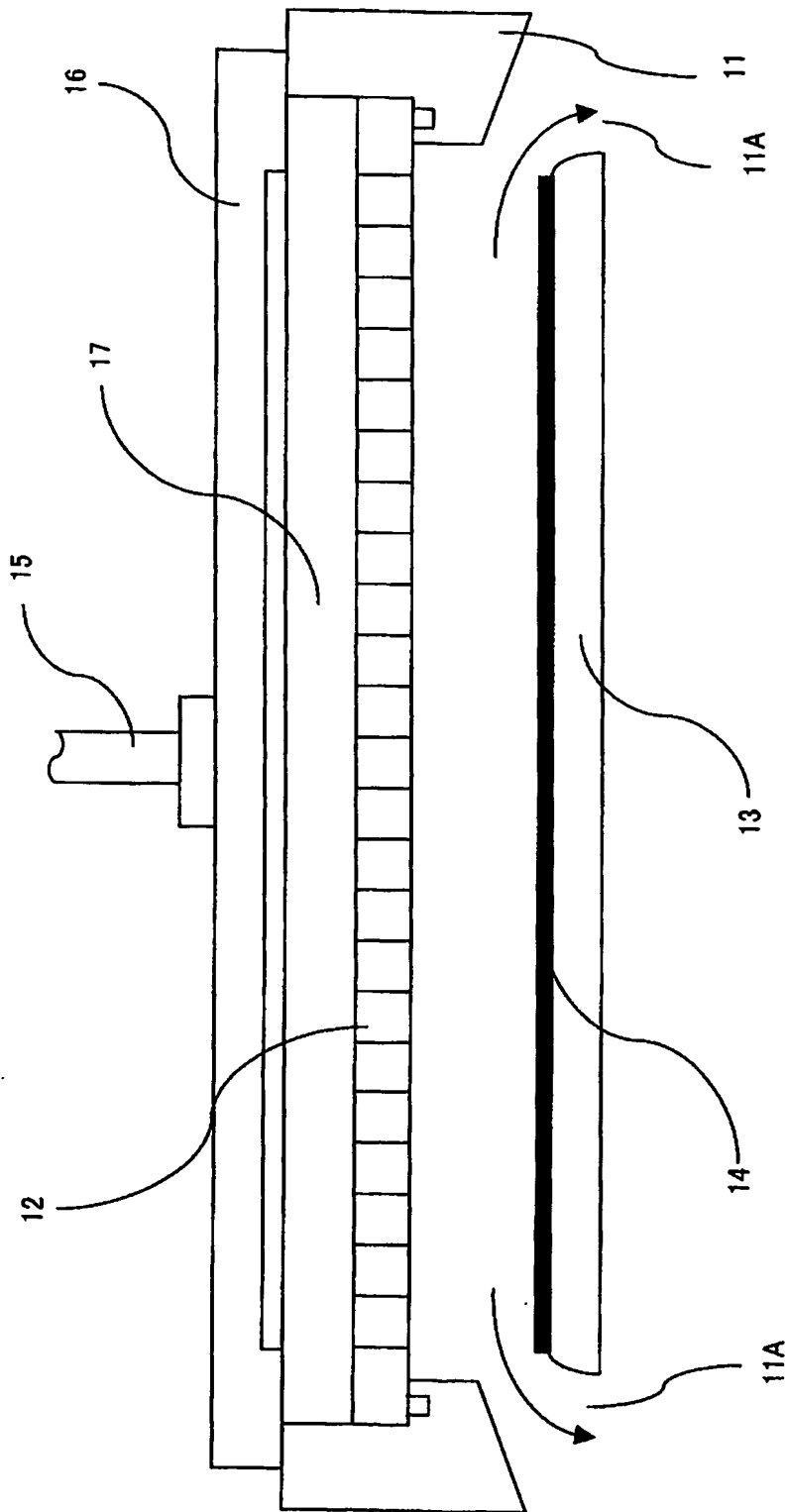
- 2 1      p チャネル MOS トランジスタ
- 2 3, 2 4    突出部
- 2 5、2 6    ゲート電極
- 2 7、2 8    ゲート酸化膜
- 6 1 ~ 6 3    n チャネル MOS トランジスタ
- 6 4, 6 5    p チャネル MOS トランジスタ

【書類名】

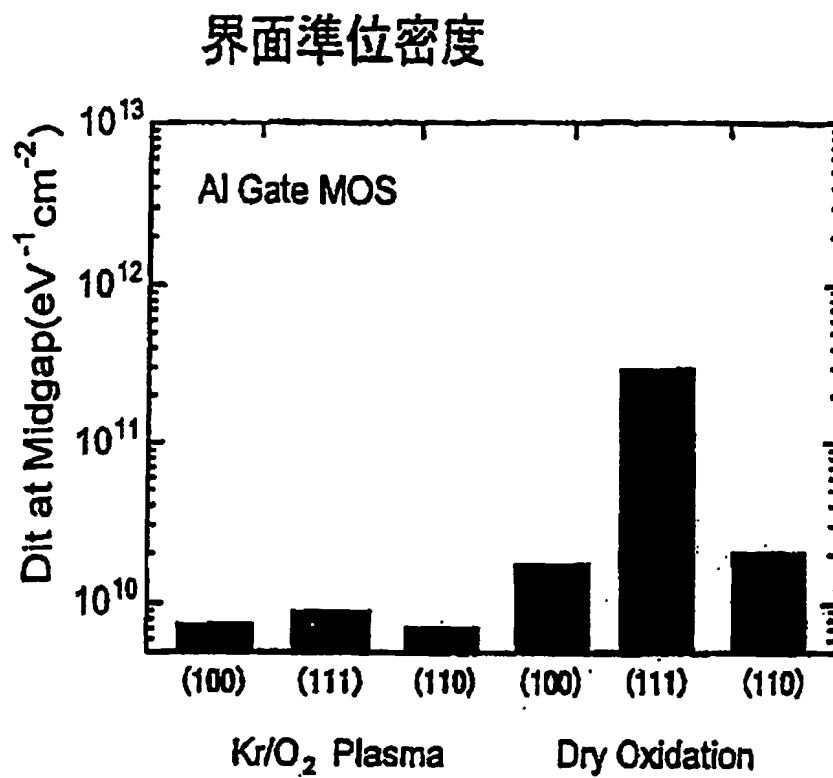
図面



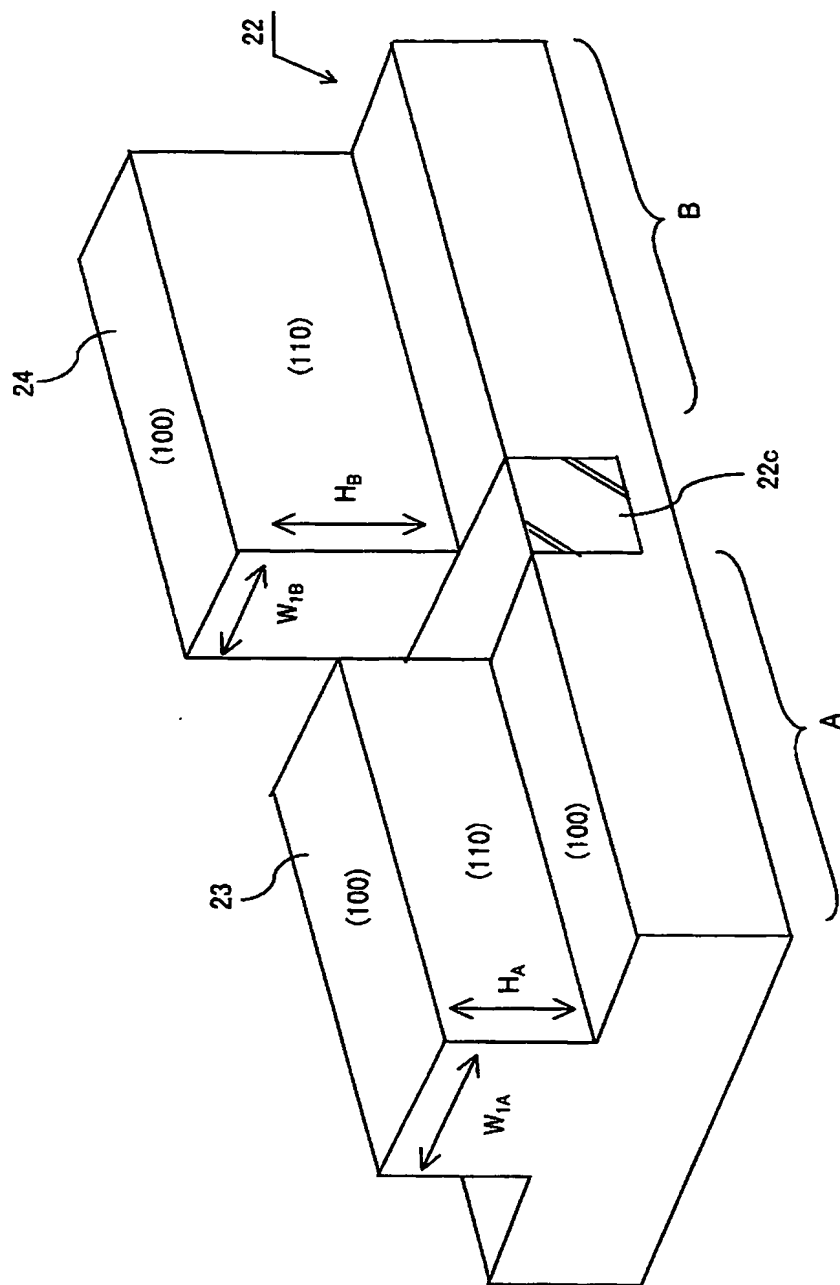
【図1】



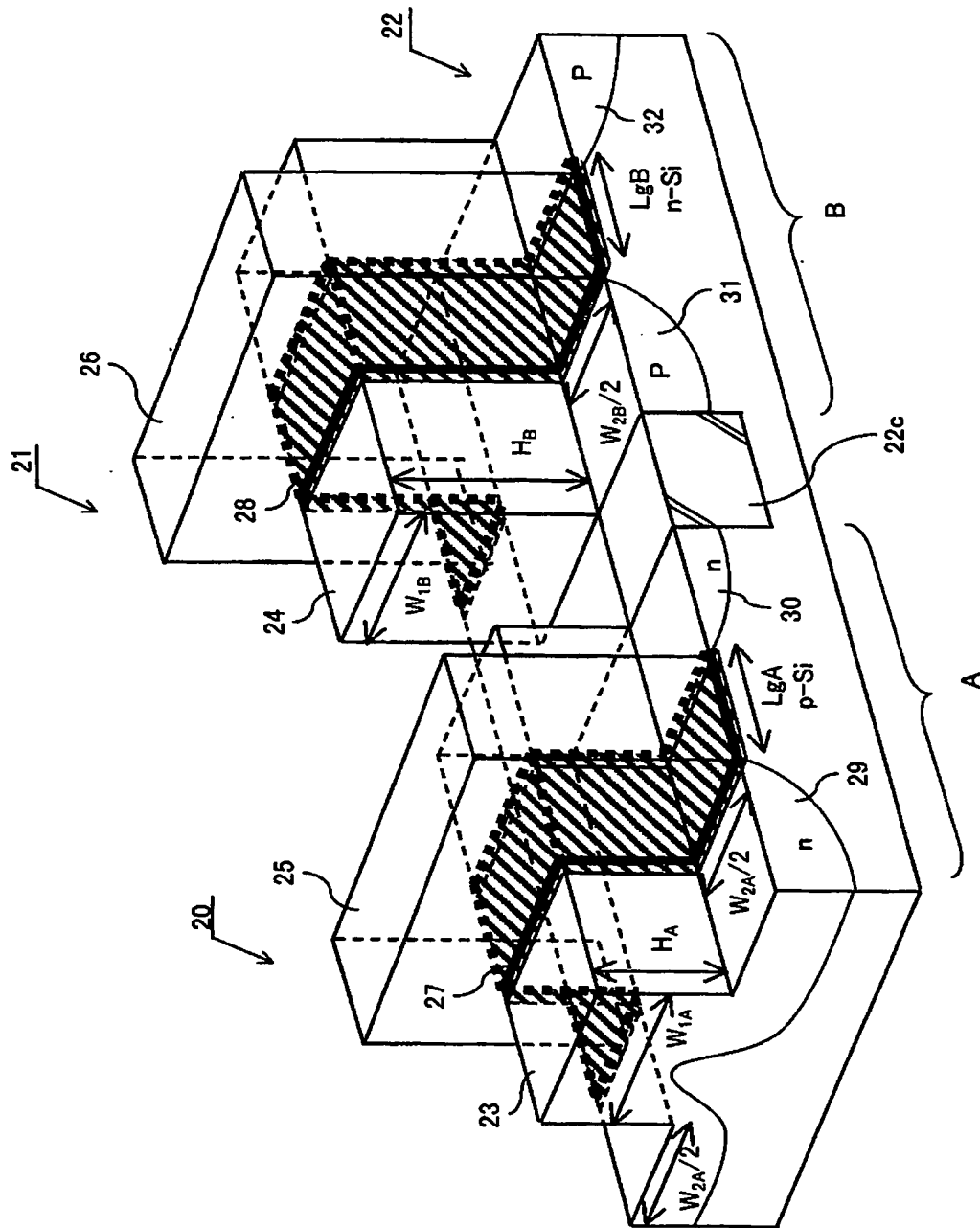
【図 2】



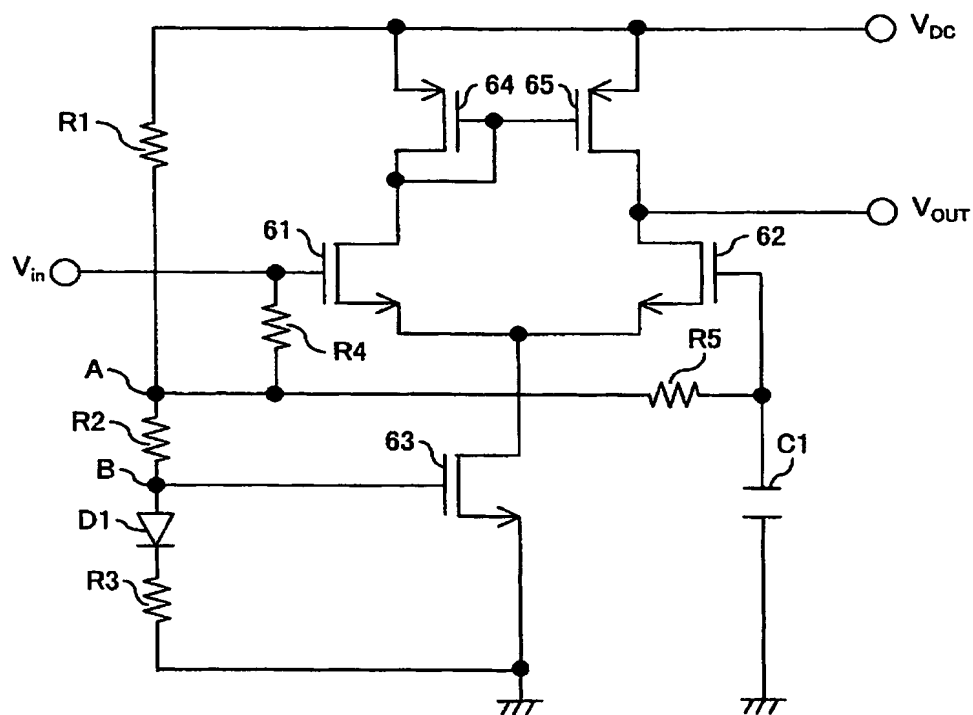
【図 3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 リミッタ回路の利得を大きくとれるようにする。

【解決手段】 シリコン基板上に高さ $H_B$ で、幅が $W_B$ の直方体状の突出部 21 を形成し、突出部 21 の頂面及び側壁面の一部にゲート酸化膜を形成する。ゲート電極 26 の両側にソースとドレインを形成して MOS トランジスタを形成する。MOS トランジスタ 61 と 62 とからなる差動増幅回路でリミッタ回路を構成する。

【選択図】 図 5

特願 2003-170105

出 願 人 履 歴 情 報

識別番号

[000003218]

1. 変更新月日

2001年 8月 1日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町2丁目1番地

氏 名

株式会社豊田自動織機

特願 2003-170105

ページ: 2

出願人履歴情報

識別番号

[591220850]

1. 変更年月日

1996年 5月 9日

[変更理由]

住所変更

住 所

新潟県上越市西城町2丁目5番13号

氏 名

新潟精密株式会社



特願 2003-170105

ページ : 3/E

出 願 人 履 歴 情 報

識別番号

[000205041]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋2-1-17-301

氏 名

大見 忠弘